
Univerzita Pardubice
Ústav elektrotechniky a informatiky
Pardubice, Studentská 95

LABORATORNÍ CVIČENÍ

Příjmení	Paar	Číslo úlohy:	2
Jméno:	Jiří	Datum měření:	15. 5. 2007
Školní rok:	2006 / 2007	Datum odevzdání:	22. 5. 2007
Ročník/ Skupina:	1. / 1.	Klasifikace:	

N Á Z E V Ú L O H Y

Měření na generátoru posloupnosti

Počet stran 6

Počet příloh 0

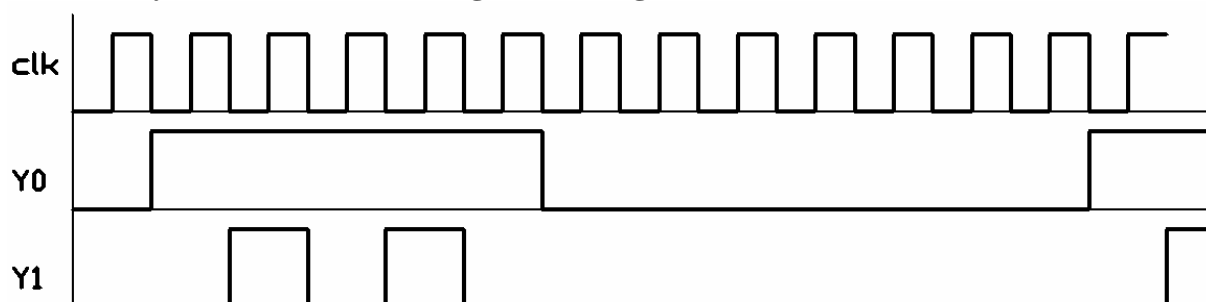
ÚČEL MĚŘENÍ

Ověřit funkčnost paměti EEPROM ve spolupráci s integrovaným synchronním čítačem. Prověřit zkracování čítače na určité hodnotě.

Měření bude zaměřeno na výstupní průběh paměti EEPROM, zda odpovídá jejímu naprogramování. Dále se měření bude týkat zjištění zda dochází k neurčitým stavům na výstupu paměti v důsledku změn na adresových vstupech, tedy na výstupech čítače. Poslední část se týká změřením průběhu nulovacího signálu čítače.

ZADÁNÍ

Podle úlohy ze cvičení 11 sestavte generátor signálů dle obrázku:



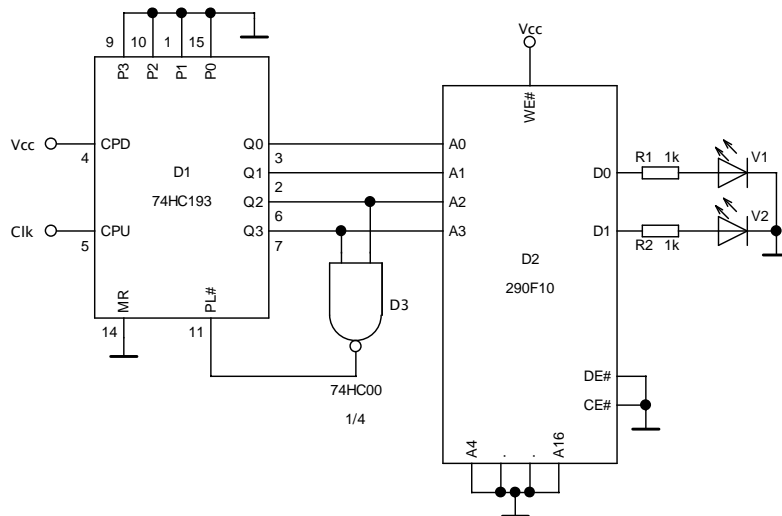
Generují se dva signály a to periodicky.

1. Na nepájivém poli sestavte SLO s integrovaným čítačem a pevnou pamětí 29F010, výstupy budou na vývodech D1 a D0 paměti. Čítač je třeba zkrátit na cyklus čítání 0...11 asynchronním vstupem MR nebo /PL.
2. Ověřte osciloskopem funkci generátoru.
3. Zjistěte, jak se chovají výstupy paměti v časových okamžicích změny stavu čítače.
4. Zjistěte, jak se chová čítač při přechodu ze stavu 11 do stavu 0.

PODMÍNKY MĚŘENÍ

Označení ve schématu	Přístroj Pomůcka	Výrobce Typ přístroje	Systém Druh	Inventární číslo Výrobní číslo	Poznámka Rozsah
-	Generátor	METEX	Digitální	MB200026306	-
-	Laboratorní zdroj	Diametrol	Digitální	1861	5V
-	Osciloskop	INSTEK	Digitální	D190762	-
D1	Synchronní čítač 74HC193	-	-	-	-
D2	Paměť EEPROM 29F010	-	-	-	-
D3	Logické hradlo NAND – 74HC00	-	-	-	-

SCHEMA ZAPOJENÍ A POPIS MĚŘENÍ



Popis zapojení:
Na vstup CPU čítače je připojen výstup TTL generátoru, to způsobí čítání čítače nahoru. Vstup CPD musí být připojen na Vcc. Resetovací vstup MR musí být spolu se vstupy P3-P0 připojen na GND. Výstupy Q3 a Q2 jsou připojeny na vstupy hradla NAND jeho výstup je přiveden na vstup PL čítače, tím má čítač zkrácen svůj cyklus na 12 kroků.

Vstupy CE a DE paměti musí být připojeny na GND a vstup WE na Vcc, toto zapojení uvede paměti do režimu čtení.

Nastavováním adresových vstupů paměti čítačem dochází k postupnému načítání dat z paměti na její výstupy.

VÝCHOZÍ POZNATKY A PŘEDPOKLADY

- Čítač 74HC193 mění svoje výstupy se sestupnou hranou vstupního hodinového signálu. Na vzestupnou hranu čítač nereaguje.
- Jedná se o synchronní čítač, čímž je zaručeno, že se výstupy budou měnit současně a nedojde tak k neočekávaným výstupním hodnotám.
- Čítač je dle zadání zkrácen na cyklus o 12 krocích. V okamžiku nastavení výstupní hodnoty, která odpovídá dekadickému číslu 12 dojde přes logické hradlo NAND k asynchronnímu zapsání hodnoty 0 na vstupech P3-P0 čítače, tím se nastaví výstup na 0 a začne nový cyklus.
 - V době asynchronního zápisu se na výstupu logického hradla NAND a tedy i na vstupu PL čítače, objeví velmi krátký impuls, který způsobí přenos nastavené hodnoty na vstupech P3-P0 na výstupy.
 - Spouštění časové základny osciloskopu se musí nastavit na sestupnou hranu, protože při nulování čítače dojde právě k sestupné hraně signálu.

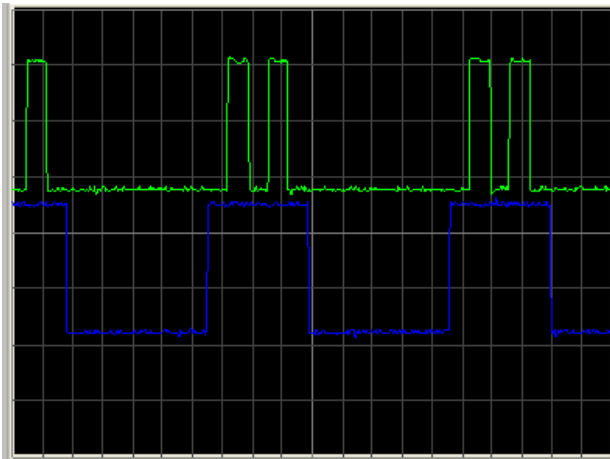
- Paměť EEPROM musí mít naprogramovány adresy 0 až 11 dle následující tabulky:

Adresa paměti	Výstup (binární číslo)	Výstup (hexadecimální číslo)
0	0000 0000	00
1	0000 0001	01
2	0000 0011	03
3	0000 0001	01
4	0000 0011	03
5	0000 0001	01
6	0000 0000	00
7	0000 0000	00
8	0000 0000	00
9	0000 0000	00
10	0000 0000	00
11	0000 0000	00

- V závislosti na adresových vstupech, které ovládá čítač, bude postupně docházet k nastavování výstupů, dle výše uvedené tabulky.
- Při měření funkce generátoru posloupnosti nastavíme takovou frekvenci, aby bylo vidět blikání LED diod pouhým okem.
- Při měření chování výstupů paměti v okamžicích změny stavu čítače naopak nastavíme dostatečně vysokou frekvenci, při které by mohlo docházet k zákmitům, které se projeví na výstupu.

NAMĚŘENÉ A VYPOČTENÉ HODNOTY

1. Funkce generátoru posloupnosti



Nastavené rozsahy:

CH1 – 2V/dílek

CH2 – 2V/dílek

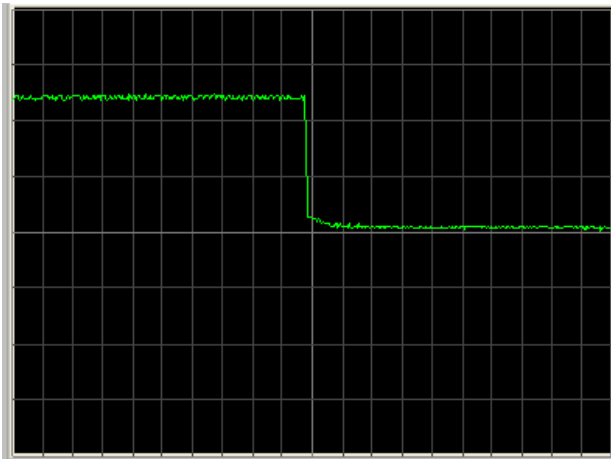
Časová základna – 25ms/dílek

Vstupní hodnoty:

Napájecí napětí – 5V

Vstupní frekvence – 60Hz

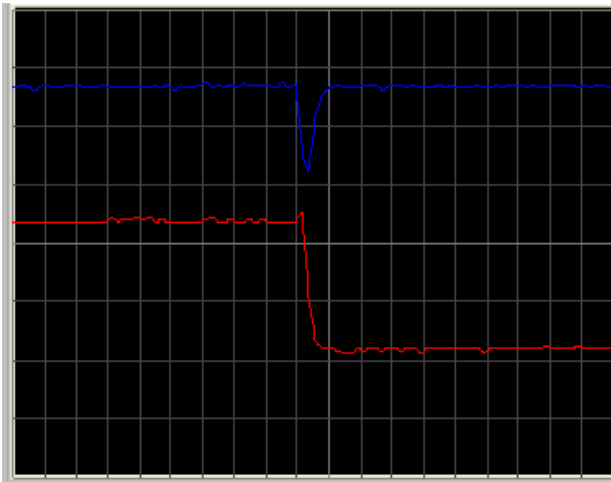
2. Chování výstupů paměti v okamžicích změny stavu čítače:



Nastavené rozsahy:
CH1 – 2V/dílek
Časová základna – 10 μ s/dílek

Vstupní hodnoty:
Napájecí napětí – 5V
Vstupní frekvence – 390Hz

3. Chování čítače při přechodu ze stavu 11 do stavu 0:



Nastavené rozsahy:
CH1 – 2V/dílek
CH2 – 2V/dílek
Časová základna – 100ns/dílek

Vstupní hodnoty:
Napájecí napětí – 5V
Vstupní frekvence – 390Hz

VYHODNOCENÍ NAMĚŘENÝCH VÝSLEDKŮ

1. Funkce generátoru posloupnosti

Z naměřeného grafu je vidět funkce celého generátoru posloupnosti, které přesně odpovídá předpokladům a zadání.

Je vidět doba trvání jedné periody, která odpovídá 12 impulsům hodinového signálu na hodinovém vstupu čítače. Doba trvání jednoho impulsu v log. 1 na vstupu druhého kanálu osciloskopu odpovídá době trvání jednoho hodinového impulsu na vstupu čítače.

Dále graf ukazuje, že na výstupu D0 paměti EEPROM je vstupní hodinový signál vydělen 12. Oproti tomu na výstupu D1 je signál vydělen 6. Oba dva signály nemají stejnou dobu trvání log. 1 a log. 0. Tento generátor by se tedy dal použít i jako dělič hodinového signálu.

2. Chování výstupů paměti v okamžicích změny stavu čítače

Naměřený graf ukazuje sestupnou hranu výstupu D0 paměti 29F010. Není na něm vidět žádné zkreslení, které by bylo způsobeno přechodovými stavy na výstupu čítače. Toto zjištění odpovídá předpokladům, neboť je použit synchronní čítač, který zamezuje těmto stavům, které mohou vzniknout při změnách po příchodu sestupné hrany.

U asynchronních čítačů jsou tyto přechodové stavy způsobeny postupným průchodem logického signálu přes jednotlivé klopné obvody, ze kterých se čítač skládá.

3. Chování čítače při přechodu ze stavu 11 do stavu 0

Při dosažení prvního čísla na výstupech čítače, které nastaví výstupy Q3 a Q2 na log. 1, což odpovídá dekadickému číslu 12, se objeví na výstupu logického hradla NAND napěťová úroveň odpovídající log. 0 a dojde k asynchronnímu zápisu vstupů P3-P0 čítače na jeho výstupy Q3-Q0. Na vstupech P3-P0 je nastavena hodnota 0. Po zapsání vstupů P3-P0 na výstupy se výstup hradla NAND změní na log. 1, což vede k opětovnému spuštění nového cyklu čítače.

Tento velmi krátký impuls se skládá z doby, za kterou je čítač schopen nastavit vstupy P3-P0 na výstupy. Během tohoto měření doba odpovídala hodnotě 100ns.

Během celého měření bylo nutné dodržovat závady při práci s obvody CMOS.

ZÁVĚR

Měření probíhalo bez vážných problémů.

Během měření byly zjištěny takové hodnoty, které odpovídají předpokladům a zadání. Čímž byla ověřena funkce synchronního čítače 74HC193 a paměti EEPROM 29F010. Tato úloha dále ukázala princip zkrácení čítače a jeho ověření v praxi.